

COMPLETE SELF-ALIGNMENT INP SERIES HBT

PUB. NO.: 05-243257 [JP 5243257 A]

PUBLISHED: September 21, 1993 (19930921)

INVENTOR(s): OKADA HIROYUKI, NISHIYAMA NAOKI

APPLICANT(s): SUMITOMO ELECTRIC IND LTD

APPL. NO.: 04-044539 [JP 9244539]

FILED: March 02, 1992 (19920302)

INTL CLASS: H01L-021/331; H01L-029/73; H01L-029/205

ABSTRACT

PURPOSE: To obtain a self-alignment InP/GaInAs series HBT by selecting a direction of one side of an emitter and a collector to $\langle 001 \rangle$ or a direction perpendicular thereto.

CONSTITUTION: This InP series double heterojunction bipolar transistor is manufactured by sequentially laminating a first conductivity type subcollector layer 2, a first conductivity type InP collector layer 3, a second conductivity type base layer 4, an InP emitter layer 5 having an arbitrary conductivity type, and a first conductivity type GaInAs collector cap layer 6 on an InP substrate. A direction of one side of the rectangular collector 3 and the emitter 5 is a $\langle 001 \rangle$ direction or a direction perpendicular thereto, and ohmic electrodes 7 on an emitter cap, a base and a subcollector are simultaneously formed. Thus, the emitter, the base and the subcollector and the electrodes can be all formed in a self-alignment structure.

Self aligned
c. Jones

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-243257

(43) 公開日 平成5年 (1993) 9月21日

(51) Int. Cl. ⁵

H 0 1 L 21/331

29/73

29/205

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

7377-4M

H 0 1 L 29/72

審査請求 未請求 請求項の数2 (全 4 頁)

(21) 出願番号 特願平4-44539

(22) 出願日 平成4年 (1992) 3月2日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 岡田 裕之

神奈川県横浜市栄区谷町1番地 住友電気
工業株式会社横浜製作所内

(72) 発明者 西山 直樹

神奈川県横浜市栄区谷町1番地 住友電気
工業株式会社横浜製作所内

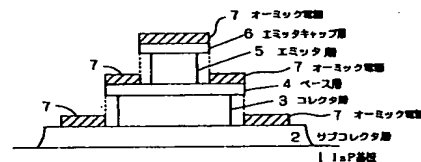
(74) 代理人 弁理士 上代 哲司 (外1名)

(54) 【発明の名称】 完全自己整合 InP 系 HBT

(57) 【要約】

【目的】 InP 系ヘテロバイポーラトランジスタの性能を向上させる。

【構成】 InP 基板上に第一導電型の InP サブコレクタ層、任意の導電型を有する InP コレクタ層、第二導電型の GaInAs ベース層、ならびに第一導電型の InP エミッタ層、第一導電型を有する GaInAs エミッタキャップ層を順次積層して作成された InP 系ヘテロ接合バイポーラトランジスタにおいて、矩形状のエミッタおよびコレクタの一边の方向が $\langle 001 \rangle$ 方向、またはそれに垂直な方向を有し、かつエミッタキャップ上、ベース上、およびサブコレクタ上のオーミック電極を同一時に形成することを特徴とした完全自己整合 InP 系ダブルヘテロ接合バイポーラトランジスタ。



1

【特許請求の範囲】

【請求項1】 InP基板上に第1導電型のサブコレクタ層、任意の導電型を有するInPコレクタ層、第2導電型のベース層、並びに第1導電型のInPエミッタ層、第1の導電型を有するGaInAsエミッタキャップ層を順次積層して作製されたInP系ヘテロ接合バイポーラトランジスタにおいて、矩形形状のエミッタおよびコレクタの一边の方向が<001>方向、またはそれに垂直な方向を有し、かつ、エミッタキャップ上、ベース上、及びサブコレクタ上のオーミック電極を同一時に形成する、ことを特徴とした完全自己整合InP系ダブルヘテロ接合バイポーラトランジスタ。

【請求項2】 InP基板上に第1導電型のサブエミッタ層、第1の導電型を有するInPエミッタ層、第2導電型のベース層、並びに任意の導電型を有するInPコレクタ層、第1の導電型を有するGaInAsコレクタキャップ層を順次積層して作製されたInP系ヘテロ接合バイポーラトランジスタにおいて、矩形形状のコレクタおよびエミッタの一边の方向が<001>方向、またはそれに垂直な方向を有し、かつコレクタキャップ上、ベース上、及びサブエミッタ上のオーミック電極を同一時に形成する、ことを特徴とした完全自己整合コレクタアップInP系ダブルヘテロ接合バイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はInP系ヘテロ接合バイポーラトランジスタ(HBT)に関するものである。

【0002】

【従来の技術】現在、ヘテロ接合バイポーラトランジスタは、研究段階ながら既存の超高速デバイスを凌ぐ性能を示しており、次世代の素子として有望視されている。

【0003】材料系としては、GaAs系を中心に研究開発が進んでいるが、InP系、特にInP/GaInAs系HBTは、①ヘテロ材料の禁制帯幅差が大き、②オーミック電極形成部の禁制帯幅が小さく、低コンタクト抵抗が実現できる、③GaInAsの電子移動度、及びInPの飽和速度がGaAsに比べ大きい、④選択エッチングが可能である、⑤InP、GaInAsともGaAsに比べ、絶縁膜に対し良好な界面が形成できる、などの特徴がある。これよりInP/GaInAs系HBTは超高速、低消費電力で、かつ歩留まりの高いICを作製できる潜在能力を有している。

【0004】以上の特徴を有するInP/GaInAs系HBTではあるが、HBTの真性素子性能を発揮するためには、そのベース抵抗の低減、及びベースコレクタ間容量の低減が必要となる。この2条件を実現するためには、自己整合と呼ばれる技術の確立が必須の課題である。

【0005】特に、作製条件が簡便であること、及びア

2

ライメントによる特性ばらつきのないプロセスの実現と言った課題を考え合わせると、エミッタ、ベース、コレクタの各結晶層、及び電極構造をアライメントの影響無しに合わせる完全自己整合プロセスの開発は魅力的な課題である。

【0006】上記の課題を解決する方法としては、従来GaAs系HBTのプロセス技術を転用することである程度の解決が可能である。例えばGaAs系HBTの従来例としては、サイドウォールを用いたHBTがアイ・イー・イー・イーの1987年5月発行の第246頁に『サブミクロン完全自己整合AlGaAs/GaAsヘテロ接合バイポーラトランジスタ』と題して、論文(IEEE Electron Device Letters, vol. EDL-8, pp. 246-248 (1987))に示されている。

【0007】

【発明が解決しようとする課題】しかしながら、InP系HBTに本プロセスをそのまま転用するには、プロセス技術が複雑であること、及び結晶材料のエッチング技術の差により容易に転用が効かないことから、簡易な技術によるInP/GaInAs系HBTの自己整合化が望まれていた。

【0008】そこで本発明では、結晶の面方位によるエッチング特性の差を利用することで前記2条件を満たし、かつ容易に作製することが可能な、自己整合InP/GaInAs系HBTを提供する。

【0009】

【課題を解決するための手段】本発明に係るヘテロ接合バイポーラトランジスタは、InP基板上に第1導電型のサブコレクタ層、任意の導電型を有するInPコレクタ層、第2導電型のベース層、並びに第1導電型のInPエミッタ層、第1導電型のGaInAsエミッタキャップ層を順次積層して作製されたInP系ダブルヘテロ接合バイポーラトランジスタに於て、矩形形状のエミッタおよびコレクタの一边の方向が<001>方向、またはそれに垂直な方向を有するようにパターンニングし、かつエミッタキャップ上、ベース上、及びサブコレクタ上のオーミック電極を同一時に形成することにより、容易に自己整合化が可能なInP/GaInAs系HBTの作製法を提供する。

【0010】本方法と同様の手法によって、InP基板上に第1導電型のサブエミッタ層、第1導電型を有するInPエミッタ層、第2導電型のベース層、並びに任意の導電型を有するInPコレクタ層、第1導電型のGaInAsコレクタキャップ層を順次積層して作製されたInP系ダブルヘテロ接合バイポーラトランジスタで、矩形形状のコレクタおよびエミッタの一边の方向が<001>方向、またはそれに垂直な方向を有し、かつコレクタキャップ上、ベース上、及びサブエミッタ上のオーミック電極を同一時に形成することを特徴としたコレクタアップInP系ダブルヘテロ接合バイポーラトランジスタ

タを作製する方法も同様に提供する。

【0011】

【作用】本発明では、InP/GaInAs系HBTを作製する際、エミッタおよびコレクタの一边の方向を<001>又はこれに垂直な方向に選ぶことによりエミッタおよびコレクタの各側面を垂直にアンダーカットすることが可能になる。この結果、エミッタキャップ、ベース、およびサブコレクタ上のオーミック電極を同一材料とし、一つのパターンで、同時に電極形成することで自己整合を計り、ベース抵抗とベースコレクタ間の容量低減を計ることが出来る。またこれによりプロセス工程を減らし、アラインメントによるバラツキの問題を無くすることが可能となる。以上の作用により、寄生部の影響の小さい高性能InP/GaInAs系HBTが実現できる。

【0012】

【実施例】図1に本発明によって実現される自己整合InP/GaInAs系HBTの断面構造を示す。図2に図1のHBTの上部観察図を示す。図3にマスキレイアウトを示す。

【0013】断面構造は図1に示す通りであるが、矩形状のエミッタの一边の方向が<001>方向、またはそれに垂直な方向を有するように形成することでエミッタメサ形状をエミッタキャップに対しサイドエッチングの入った垂直な断面形状とすることが可能となる。同様な方法でコレクタ層についてもベース層に対しサイドエッチの入った形状で、かつ垂直な形状とする。ここで、図中1はInP基板、2はInPサブコレクタ層、3はInPコレクタ層、4はInGaAsベース層、5はInPエミッタ層、6はGaInAsエミッタキャップ層である。7はエミッタキャップ、ベース、及びサブコレクタ上の各オーミック電極である。

【0014】コレクタアップ構造の場合には、同様の断面形状で、図中1がInP基板、2はInPサブエミッタ層、3はInPエミッタ層、4はInGaAsベース層、5はInPコレクタ層、6はGaInAsコレクタキャップ層となる。7はコレクタキャップ、ベース、及びサブエミッタ上の各オーミック電極である。ベース材料としてInGaAsの他InGaAsPも可能である。

【0015】プロセスとして、メサエッチングは、例えばフォトレジスト、またはドライエッチングなどでパターン転写した絶縁膜などをマスクとして行う。上記の方法で6のGaInAs層をパターンニング後、選択的に、リン酸、過酸化水素水、水の混合液を用い除去する。または塩酸、酢酸、過酸化水素水の混合液等で、多少InP層まで除去するようにエッチングするなどの方法で除去する。次に5のInP層を、選択的に塩酸、または塩酸と水との混合液により除去する。更に同様の方法でベース、コレクタ層をエッチングする。次に再パターニン

グ後、サブコレクタ層をエッチングする。

【0016】図2には、三度のメサエッチング後のヘテロ接合バイポーラトランジスタの上部観察図を示してあるが、ここでの5のInP層のエッチング時間によって図2でのエミッタキャップに対するエミッタ層のサイドエッチ量 x_1 が制御できる。また、3のInP層のエッチング時間によって図2でのベース層に対するコレクタ層のサイドエッチ量 x_2 が制御できる。

【0017】実際には、サイドエッチ量として0.2 μ m程度を選択するが、選択エッチングを用いているため、特にコレクタのサイドエッチ量を大きく取ることが可能となる。これによりベース-コレクタ間容量を格段に低減でき、高周波特性の大幅な改善ができる。また、サイドエッチングを入れることで、エミッタ部を微細化することができる。

【0018】次に電極形成を行うが、エミッタキャップ上、ベース上、及びサブコレクタ上の電極は、例えば図3の84で示すような一つの開口パターンを設け、蒸着、リフトオフすることで同時に形成できる。例えば電極材料としては、Ti/Pt/Au、Ti/Au、Cr/Au、高融点金属（例えばW、Ta、Mo等）、シリサイドなどを用いる。ドーピングとしては、コンタクト抵抗低減のためエミッタキャップ、ベース層とも $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高ドーピング状態が望ましい。

【0019】これ以降としては、通常のInP/GaInAs系HBTと同様の絶縁膜形成、配線形成を行うことで、完全自己整合InP/GaInAs系HBTの作製が可能となる。以上の工程は特許請求の範囲の第1項に基づいて内容を記載したが、上記と同様の手法を用いることで、上部にコレクタを持つ完全自己整合コレクタアップダブルヘテロ接合バイポーラトランジスタへの適用が可能となる。

【0020】さて、ここで注意しなければならない点は、エミッターベース、及びベース-コレクタ接合の設計である。ここで電流利得を向上させるために傾斜接合を採用すると良いが、傾斜層の部分では選択エッチングが使用できなくなる点、及び形状がInP単層の場合と異なってしまうおそれがある点に注意する必要がある。しかしながら、エッチャントを工夫する、または傾斜層の厚さを薄く取れば、充分プロセス上も対処可能である。

【0021】

【発明の効果】以上説明したように、本発明によりエミッタおよびコレクタの側面の方向を<001>方向又はこれに垂直な方向とすることで、それぞれエミッタ層、ベース層に対し各側面が垂直になるようにアンダーカット可能となる。この結果エミッタ、ベース、サブコレクタ部と電極の全ての構造を自己整合的に形成することが出来るようになり、より一層の高性能を有するInP/GaInAs系完全自己整合HBTの製作が可能にな

る。

【0022】すなわちベースとコレクタの電極間距離が接近し、かつコレクタ部が微細化する結果、ベース抵抗、ベースコレクタ間容量の低減により高速、低消費電力のHBTが実現できる。またエミッタ、ベース、コレクタの各電極の同時形成により、製作が容易となり、品質が均一化し、かつ歩留りが向上できる。

【図面の簡単な説明】

【図1】本発明に係る完全自己整合InP/GaInAs系HBTの断面構造図である。

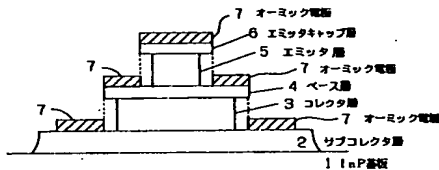
【図2】本発明に係るHBTの上部観察図である。

【図3】本発明に係るHBTのマスキレイアウト図である。

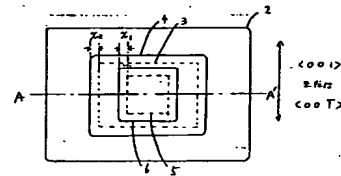
【符号の説明】

- 1 : InP基板
- 2 : InPサブコレクタ層
- 3 : InPコレクタ層
- 4 : GaInAsベース層
- 5 : InPエミッタ層
- 6 : GaInAsエミッタキャップ層
- 7 : オーミック電極
- 81 : エミッタメサ
- 82 : ベースメサ
- 10 83 : アイソレーションメサ
- 84 : オーミック電極形成用マスクパターン
- 85 : 絶縁膜のコンタクトホール形成用マスクパターン
- 86 : 配線形成用マスクパターン

【図1】



【図2】



【図3】

